

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yumi SATO et al.

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: March 12, 2004

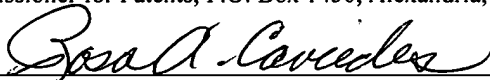
Examiner: Not yet assigned

Title: **STORAGE CONTROL APPARATUS, CONTROL SYSTEM CAPABLE OF DMA TRANSFER, AND METHOD OF CONTROLLING DMA TRANSFER**

EXPRESS MAIL NUMBER: EV 302 280 774 US

DATE OF DEPOSIT: March 12, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.



Rosa A. Caviedes

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NO.

MONTH/DAY/YEAR

Japan

JP2003-366460

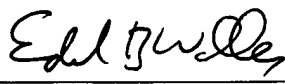
October 27, 2003

A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: March 12, 2004

By 

Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 7 日
Date of Application:

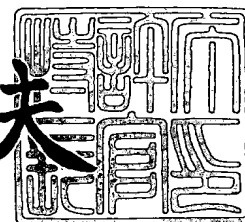
出 願 番 号 特 願 2 0 0 3 - 3 6 6 4 6 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 6 6 4 6 0]

出 願 人 東芝情報システム株式会社
Applicant(s): 株式会社東芝

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 14300801
【提出日】 平成15年10月27日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/08
【発明者】
 【住所又は居所】 神奈川県川崎市川崎区日進町 7 番地 1 東芝情報システム株式会
社内
 【氏名】 佐 藤 由 美
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
エレクトロニクスセンター内
 【氏名】 須 藤 文 夫
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
エレクトロニクスセンター内
 【氏名】 中 田 恭 正
【特許出願人】
 【識別番号】 391016358
 【住所又は居所】 神奈川県川崎市川崎区日進町 7 番地 1
 【氏名又は名称】 東芝情報システム株式会社
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橋 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

CPU (Central Processing Unit) が接続されたホストバス、少なくとも 1 つの IP (Intellectual Property) が接続された周辺バス、及びシステムメモリに接続され、前記 IP からシステムメモリへの DMA (Direct Memory Access) 転送を制御する記憶制御装置であって、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 CPU がキャッシュ可能な領域を示すアドレス情報を保持する TLB (Translation Look-aside Buffer) 情報保持部と、

前記 TLB 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 CPU のキャッシュ可能な領域か否かの判定を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 CPU に通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部と、

を備えることを特徴とする記憶制御装置。

【請求項 2】

CPU が接続されたホストバス、少なくとも 1 つの IP が接続された周辺バス、及びシステムメモリに接続され、前記 IP からシステムメモリへの DMA 転送を制御する記憶制御装置であって、

各々の前記 IP に前記ホストバスを介することなく直接接続されており、いずれか一つの前記 IP との間でデータ転送を行うスイッチ部と、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 CPU がキャッシュ可能な領域を示すアドレス情報を保持する TLB 情報保持部と

、
前記 TLB 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 CPU のキャッシュ可能な領域か否かの判定をするアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 CPU に通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部と、

を備えることを特徴とする記憶制御装置。

【請求項 3】

CPU が接続されたホストバス、少なくとも 1 つの IP が接続された周辺バス、及びシステムメモリに接続され、前記 IP からシステムメモリへの DMA 転送を制御する記憶制御装置であって、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 CPU がキャッシュ可能な領域を示すアドレス情報を保持する TLB 情報保持部と

、
前記 TLB 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 CPU のキャッシュ可能な領域か否かの判定を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 CPU に通知する必要がある

る場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部と、
を備え、

前記スヌープアドレス制御部は、前記ホストバスのバーストサイズに応じて前記アドレスを蓄積した段階で、前記ホストバスへこのアドレスをバースト転送することが可能なように、このアドレスを蓄積する記憶部を有することを特徴とする記憶制御装置。

【請求項 4】

前記アドレス判定部が当該アドレスはキャッシュ可能な領域であると判定した場合、前記スヌープアドレス制御部は、前記ホストバス上に当該アドレスのキャッシュデータを無効化するための通知をブロードキャストすることを特徴とする請求項 1 乃至 3 のいずれかに記載の記憶制御装置。

【請求項 5】

ホストバスに接続された CPU と、
前記ホストバス又は周辺バスに接続された少なくとも一つの IP と、
前記 CPU 又は前記 IP がアクセス可能なシステムメモリと、
前記ホストバス、前記周辺バス及び前記システムメモリに接続され、前記 IP から前記システムメモリへの DMA 転送を制御する記憶制御装置と、
を備え、
前記記憶制御装置は、
前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、
前記システムメモリとの間のデータ転送を制御するメモリ制御部と、
前記 CPU がキャッシュ可能な領域を示すアドレス情報を保持する TLB 情報保持部と

、
前記 TLB 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 CPU のキャッシュ可能な領域か否かの判定を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 CPU に通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部と、
を有することを特徴とする DMA 転送が可能な制御システム。

【請求項 6】

ホストバスに接続された CPU と、
前記ホストバス又は周辺バスに接続された少なくとも二つの IP と、
前記 CPU 又は前記 IP がアクセス可能なシステムメモリと、
前記ホストバス、前記周辺バス及び前記システムメモリに接続され、さらに前記 IP に直接接続されており、前記 IP から前記システムメモリへの DMA 転送を制御する記憶制御装置と、
を備え、
前記記憶制御装置は、
各々の前記 IP に前記ホストバスを介することなく直接接続されており、いずれか一つの前記 IP との間でデータ転送を行うスイッチ部と、
前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、
前記システムメモリとの間のデータ転送を制御するメモリ制御部と、
前記 CPU がキャッシュ可能な領域を示すアドレス情報を保持する TLB 情報保持部と

、
前記 TLB 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 CPU のキャッシュ可能な領域か否かの判定をするアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記CPUに通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部と、
を有することを特徴とするDMA転送が可能な制御システム。

【請求項 7】

ホストバスに接続されたCPUと、
前記ホストバス又は周辺バスに接続された少なくとも一つのIPと、
前記CPU又は前記IPがアクセス可能なシステムメモリと、
前記ホストバス、前記周辺バス及び前記システムメモリに接続され、前記IPから前記システムメモリへのDMA転送を制御する記憶制御装置と、
を備え、
前記記憶制御装置は、
前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、
前記システムメモリとの間のデータ転送を制御するメモリ制御部と、
前記CPUがキャッシュ可能な領域を示すアドレス情報を保持するTLB情報保持部と

、
前記TLB情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記CPUのキャッシュ可能な領域か否かの判定を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記CPUに通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部と、
を有し、

前記スヌープアドレス制御部は、前記ホストバスのバーストサイズに応じて前記アドレスを蓄積した段階で、前記ホストバスへこのアドレスをバースト転送することが可能なように、このアドレスを蓄積する記憶部を有することを特徴とするDMA転送が可能な制御システム。

【請求項 8】

前記アドレス判定部が当該アドレスはキャッシュ可能な領域であると判定した場合、前記スヌープアドレス制御部は、前記ホストバス上に当該アドレスのキャッシュデータを無効化するための通知をブロードキャストすることを特徴とする請求項 5 乃至 7 のいずれかに記載のDMA転送が可能な制御システム。

【書類名】 明細書**【発明の名称】 記憶制御装置及びDMA転送が可能な制御システム****【技術分野】****【0001】**

本発明は記憶制御装置及びDMA (Direct Memory Access) 転送が可能な制御システムに係わり、特に複数のバスを有するものに関する。

【背景技術】**【0002】**

図10に、従来のDMA転送が可能な制御システムとしてのシステムオンチップ（以下、SoCという）におけるバスの構成を示す。

【0003】

このSoC200上におけるバスは、制御部202とキャッシュ203とを有するCPU (Central Processing Unit) 201、記憶制御装置222、任意の数のIP (Intellectual Property) 211が接続された高速なホストバス101と、複数のIP212～214が接続された低速な周辺バス102とに分離されている。

【0004】

ここで、IP211～214は特定の制御機能を有する各種コントローラであり、例えば割り込み処理に関するコントローラ、外部インタフェースに関するコントローラ等が存在する。

【0005】

また、ホストバス101と周辺バス102とは、バスブリッジ（あるいはバスモジュール）221によって接続されており、このバスブリッジ221内のバッファ（FIFO等）を介すことにより、バス101と102間のデータ転送を可能にしている。

【0006】

また、SoC200外にはRAM等から成るシステムメモリ231が設けられている。このシステムメモリ231とSoC200との間のデータ転送の殆どは、CPU201とシステムメモリ231との間で行われる。そこで、システムメモリ231を制御する記憶制御装置（メモリコントローラ、MEMC）222をホストバス101に接続配置することにより、CPU201とシステムメモリ231間のデータ転送の高速化が図られている。

【0007】

ここで、システムメモリ231には、常にノンキャッシュャブル（キャッシュ不能）な領域231a、アドレス変換テーブルの制御情報によってキャッシュャブル（キャッシュ可能）又はノンキャッシュャブルが決定される領域231b、常にキャッシュャブルな領域231c、アドレス変換テーブル231dが含まれる。また、アドレス変換テーブル231dの一部が、後述するように、論理アドレスから物理アドレスに変換するために必要なデータを格納するバッファに相当するTLB (Transfer Look-aside Buffer) に格納されている。

【0008】

CPU201の処理では仮想アドレスが用いられ、ホストバス101へのアクセスでは物理アドレスが使用される。そこで、CPU201がシステムメモリ231にアクセスする場合には、仮想アドレスから物理アドレスへの変換が必要となる。システムメモリ231へのアクセスの度に、システムメモリ231上の変換テーブル231dを参照すると処理速度の低下につながるので、変換テーブル231dの一部をCPU201内部に設けたTLBに持たせている。

【0009】

TLBの構造と、物理アドレスへの変換動作について説明する。

【0010】

図11に、アドレス変換テーブルの一例を示す。

【0011】

コンテキストID (プロセスID) と仮想ページ番号 (VPN: Virtual Page Number) からインデックスを生成する。

【0012】

例えば、コンテキストIDごとに、OS (Operating System) がメモリ上の領域を割り付け、この情報をOSが管理する。

【0013】

その領域内のアドレスを仮想ページ番号で決めるなどの方法が採られる。

【0014】

ここには、仮想ページ番号に対応する物理ページ番号 (PPN: Physical Page Number) 及び制御情報が格納される。

【0015】

生成されたインデックスによって、仮想ページ番号に対応する物理ページ番号及び制御情報が決定される。キャッシュابلであるか否かは、この制御情報に基づいて判定される。

【0016】

生成された物理ページ番号に仮想ページ番号のオフセットを物理ページ番号と上位ビット、仮想アドレスのオフセットを下位ビットと見なして、2つのビットの並びを接続することによって、物理アドレスが生成される。

【0017】

次に、図12にTLBの構成の一例を示す。

【0018】

TLBによって、VPN (Virtual Page Number; 仮想ページ番号) がPPN (Physical Page Number; 物理ページ番号) に変換される。ここで、対応する制御情報には、キャッシュابلかノンキャッシュابلかを示す情報も含まれている。

【0019】

ところで、ライトスルー方式では、CPU201がシステムメモリ231にデータを書き込む場合、キャッシュと同時にシステムメモリ231の更新が行われてキャッシュのコヒーレンシが維持される。

【0020】

しかし、CPU201を介することなくIP211~214から直接システムメモリ231へのアクセス、即ちDMA転送が行われる場合、IP211~214はシステムメモリ231にのみデータを書き込む。このため、CPU201内のキャッシュとシステムメモリ231との間でコヒーレンシが崩れるおそれがある。

【0021】

そこで、CPU201はスヌープ、即ちバス上のトランザクションを監視し、キャッシュを行っているアドレスに書き込みが行われると、キャッシュ内の対応するデータを無効化する処理を行うことにより、キャッシュコヒーレンシを維持していた。

【0022】

以下、従来の記憶制御装置を開示する文献名を記載する。

【特許文献1】 国際公開第97/34228号公報

【特許文献2】 特許公報第29384号公報

【特許文献3】 特開平5-282197号公報

【特許文献4】 特開2001-4324号公報

【特許文献5】 特開平11-85682号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかし、従来の装置には、ホストバス101の使用率に関して次のような問題があった。

【0024】

従来の記憶制御装置 222 では、与えられたアドレスがシステムメモリ 231 内の領域か否かの判断は可能であったが、以下のようなアドレスマップの状態を判断することはできなかった。

【0025】

- (1) 常にキャッシュابلであるか
- (2) 常にノンキャッシュابلであるか
- (3) ページテーブル又は T L B 定義によるものであるか

このため、周辺バス 102 上の I P 212 ~ 214 からシステムメモリ 231 への D M A 転送を行う場合、キャッシュコヒーレンスを維持するべくスヌープを行うためには、その転送先アドレスがキャッシュ領域か否かに関わらず、ホストバス 101 を通じて行う必要があり、その結果ホストバス 11 の使用率増加を招いていた。

【0026】

さらに、低速な周辺バス 102 上の I P 212 ~ 214 から高速なホストバス 101 上の記憶制御装置 222 への D M A 転送においては、ホストバス 101 より周辺バス 102 の方が転送速度が遅いため、ホストバス 101 上の転送が制約を受けることも、ホストバス 21 の使用率増加の一因となっていた。

【0027】

このように、従来は複数のバスを有するシステムにおいて、低速な周辺バスに接続された I P からシステムメモリへの D M A 転送が、C P U が接続された高速なホストバスを必ず介して行っており、ホストバスの使用率の増加を招いていた。

【0028】

本発明は上記事情に鑑み、ホストバスの使用率を低減し、処理効率を向上させることが可能な記憶制御装置を提供することを目的とする。

【課題を解決するための手段】

【0029】

本発明の一態様による記憶制御装置は、

C P U が接続されたホストバス、少なくとも 1 つの I P が接続された周辺バス、及びシステムメモリに接続され、前記 I P からシステムメモリへの D M A 転送を制御する装置であって、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 C P U がキャッシュ可能な領域を示すアドレス情報を保持する T L B 情報保持部と、

前記 T L B 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 C P U のキャッシュ可能な領域か否かの判定を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 C P U に通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部とを備えることを特徴とする。

【0030】

また本発明の一態様による記憶制御装置は、

各々の前記 I P に前記ホストバスを介することなく直接接続されており、いずれか一つの前記 I P との間でデータ転送を行うスイッチ部と、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 C P U がキャッシュ可能な領域を示すアドレス情報を保持する T L B 情報保持部と

、
前記 T L B 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記
ホストバスから与えられたアドレスが、前記 C P U のキャッシュ可能な領域か否かの判定
をするアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 C P U に通知する必要があ
る場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部とを備えるこ
とを特徴とする。

【0031】

あるいは本発明の一態様による記憶制御装置は、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにお
いて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定
部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 C P U がキャッシュ可能な領域を示すアドレス情報を保持する T L B 情報保持部と

、
前記 T L B 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記
ホストバスから与えられたアドレスが、前記 C P U のキャッシュ可能な領域か否かの判定
を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 C P U に通知する必要があ
る場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部とを備え、

前記スヌープアドレス制御部は、前記ホストバスのバーストサイズに応じて前記アドレ
スを蓄積した段階で、前記ホストバスへこのアドレスをバースト転送することが可能なよ
うに、このアドレスを蓄積する記憶部を有することを特徴とする。

【0032】

本発明の一態様による DMA 転送が可能な制御システムは、

ホストバスに接続された C P U と、

前記ホストバス又は周辺バスに接続された少なくとも一つの I P と、

前記 C P U 又は前記 I P がアクセス可能なシステムメモリと、

前記ホストバス、前記周辺バス及び前記システムメモリに接続され、前記 I P から前記
システムメモリへの DMA 転送を制御する記憶制御装置とを備え、

前記記憶制御装置は、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにお
いて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定
部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 C P U がキャッシュ可能な領域を示すアドレス情報を保持する T L B 情報保持部と

、
前記 T L B 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記
ホストバスから与えられたアドレスが、前記 C P U のキャッシュ可能な領域か否かの判定
を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 C P U に通知する必要があ
る場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部と、

を有することを特徴とする。

【0033】

また本発明の一態様による制御システムは、

前記ホストバス又は周辺バスに接続された少なくとも二つの I P と、

前記 C P U 又は前記 I P がアクセス可能なシステムメモリと、

前記ホストバス、前記周辺バス及び前記システムメモリに接続され、さらに前記 I P に
直接接続されており、前記 I P から前記システムメモリへの DMA 転送を制御する記憶制
御装置とを備え、

前記記憶制御装置は、

各々の前記 I P に前記ホストバスを介することなく直接接続されており、いずれか一つの前記 I P との間でデータ転送を行うスイッチ部と、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 C P U がキャッシュ可能な領域を示すアドレス情報を保持する T L B 情報保持部と

、
前記 T L B 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 C P U のキャッシュ可能な領域か否かの判定をするアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 C P U に通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部とを有することを特徴とする。

【0034】

あるいは本発明の一態様による制御システムは、

ホストバスに接続された C P U と、

前記ホストバス又は周辺バスに接続された少なくとも一つの I P と、

前記 C P U 又は前記 I P がアクセス可能なシステムメモリと、

前記ホストバス、前記周辺バス及び前記システムメモリに接続され、前記 I P から前記システムメモリへの D M A 転送を制御する記憶制御装置とを備え、

前記記憶制御装置は、

前記周辺バス又は前記ホストバスから与えられたアドレスが、前記システムメモリにおいて当該記憶制御装置が管理しているメモリ領域か否かの判定を行うアドレスマップ判定部と、

前記システムメモリとの間のデータ転送を制御するメモリ制御部と、

前記 C P U がキャッシュ可能な領域を示すアドレス情報を保持する T L B 情報保持部と

、
前記 T L B 情報保持部が保持する前記アドレス情報に基づいて、前記周辺バス又は前記ホストバスから与えられたアドレスが、前記 C P U のキャッシュ可能な領域か否かの判定を行うアドレス判定部と、

前記アドレス判定部の判定結果に従い、前記アドレスを前記 C P U に通知する必要がある場合に、前記ホストバスを介してこの通知を行うスヌープアドレス制御部とを有し、

前記スヌープアドレス制御部は、前記ホストバスのバーストサイズに応じて前記アドレスを蓄積した段階で、前記ホストバスへこのアドレスをバースト転送することが可能なように、このアドレスを蓄積する記憶部を有することを特徴とする。

【発明の効果】

【0035】

本発明の記憶制御装置によれば、周辺バスに接続された I P からシステムメモリへの D M A 転送において、アドレス判定部により T L B で定義された情報に基づいて、C P U がキャッシュ可能な領域がどうかを判定することにより、ホストバスを使用することなく D M A 転送が可能となる場合が生じ、その結果ホストバスの使用率を低減させることができる。

【発明を実施するための最良の形態】

【0036】

以下、本発明の実施の形態について、図面を参照して説明する。

【0037】

後述する実施の形態では、先ず、ホストバス又は周辺バスから送られてきたアドレスが、当該記憶制御装置が管理する領域であるかどうか、またこのアドレスは C P U がキャッ

シユ可能な領域かどうかを判断し、次に、キャッシュ不可能な領域である場合を除き、キャッシュのコヒーレンシ確保のため、IPがメモリのどの領域をアクセスしたかを知らせるために記憶制御装置がCPUに対してこのアドレスを通知するように構成している。

【0038】

(1) 実施の形態1

図1に、本実施の形態1による記憶制御装置の構成を示す。

【0039】

この記憶制御装置103aは、ホストバス101に接続されたホストバスI/F部111及びスヌープアドレス制御部115、アドレスマップ判定部112、メモリ制御部113、アドレス判定部116、TLB情報保持部117、周辺バス102に接続された周辺バスI/F部114を備えている。特に本装置は、周辺バスI/F部114、スヌープアドレス制御部115、アドレス判定部116、TLB情報保持部117を備える点に特徴がある。

【0040】

この場合の記憶制御装置103aを含むシステム全体の構成の一例は、図2に示される通りである。ここで、記憶制御装置103aが、ホストバス101のみならず周辺バス102にも接続されている点が従来と相違する。

【0041】

尚、ここでCPU201は、ライトスルー方式を採用していることを前提とする。

【0042】

記憶制御装置103a内における各ブロックが有する機能は、以下の通りである。

【0043】

(1) ホストバスI/F部111

ホストバス101と記憶制御装置103aとの間のバスアクセスを制御する。

【0044】

(2) アドレスマップ判定部112

ホストバス101又は周辺バス102上のアドレス（物理アドレス）が、自己の管理するシステムメモリ231かどうかを判定する。

【0045】

例えば、この記憶制御装置103aがDRAMコントローラである場合、図3に示されたような内部レジスタ231a、DRAM231b、EEPROM231c、ROM231dを有するメモリマップで構成されたシステムメモリ231において、ホストバス101又は周辺バス102上のアドレスが、DRAMコントローラが管理するDRAM231bに割り付けられているアドレスであるかどうかの判定を行う。

【0046】

(3) メモリ制御部113

システムメモリ231へのアクセスを制御する。

【0047】

アドレスマップ判定部112における判定の結果、そのアドレスが自己の管理するメモリ領域（ここでは、DRAM231b）である場合、バス上のアクセス要求（リード/ライト）に従ってメモリアクセスの制御を行う。

【0048】

(4) 周辺バスI/F部114

周辺バス102と記憶制御装置103aとの間のバスアクセスを制御する。

【0049】

(5) TLB情報保持部117

アドレス変換に必要なCPU201のTLBを複製した情報として、論理物理アドレス変換情報及び制御情報（キャッシュابل/ノンキャッシュابلの判定情報）を保持する。

【0050】

(6) スヌープアドレス制御部115

スヌープアドレスをホストバス 101 に出力する。

【0051】

アドレス判定部 116 から送られてきた判定結果がノンキャッシュابلではない場合、ホストバス 101 上にそのアドレスの無効化トランザクション、又は擬似的な I/O からシステムメモリ 231 への DMA を、ブロードキャストする。

【0052】

これは、ホストバス 101 に CPU が 1 つ以上存在する場合を想定しており、送信先を特定することなく全 CPU に対して、当該アドレスのキャッシュデータを無効化するように通知するためである。

【0053】

(7) アドレス判定部 116

ホストバス 101 又は周辺バス 102 上のアドレスが、キャッシュابلかどうかの判定を行い、一致した場合はスヌープアドレス制御部 115 に通知する。

【0054】

予め設定されたシステム固有のアドレスマップの状態、及び TLB 情報保持部 117 の制御情報から、ホストバス 101 又は周辺バス 102 上のアドレスがキャッシュابلかどうかの判定を行う。

【0055】

この場合の判断基準は

1) ヒットかつキャッシュابلの場合；スヌープアドレス制御部 115 に伝達する。

【0056】

2) ヒットかつノンキャッシュابلの場合；スヌープアドレス制御部 115 に伝達しない。

【0057】

3) ミスの場合；スヌープアドレス制御部 115 に伝達する。

【0058】

ここで、3) の処理は無駄なフローになる可能性もあるが、安全の為に行う。

【0059】

キャッシュにコピーが存在する場合、可能性のあるアドレスは全てスヌープアドレス制御部 115 に通知する。

【0060】

上記構成を有する本実施の形態における動作について説明する。

【0061】

周辺バス 102 上の IP 212 ~ 214 からシステムメモリ 231 への DMA 転送を行う際、スヌープを行うかどうかの判定を以下のように行う。

【0062】

アドレスマップ判定部 112 により、ホストバス 101 又は周辺バス 102 上のアドレスが、自己の管理するシステムメモリ 231 へのアクセスであることが判明した場合、アドレス判定部 116 は、先ず、

1) 周辺バス 102 上のアドレスが、

A) 常にキャッシュابلな領域のアドレスであるか、

B) 常にノンキャッシュابلなアドレスであるか、

C) アドレス変換テーブルの制御情報によって制御されるアドレスであるか、を判定する。

【0063】

2) C) (アドレス変換テーブルの制御情報によって制御されるアドレス) である場合、さらに周辺バス 102 上のアドレスと、TLB 情報保持部 117 に保持されている全ての物理アドレスとを比較し、

D) TLB 情報保持部 117 に一致する物理アドレスが存在するか、(即ち、TLB ヒット)

E) T L B 情報保持部 1 1 7 に一致する物理アドレスが存在しないか、(即ち、T L B ミス) であるか、
を判定する。

【0 0 6 4】

ここで、上述のように、T L B 情報保持部 1 1 7 は、アドレス変換テーブルの一部の情報しか保持していない。そのため、T L B ミスの場合は、システムメモリ 2 3 1 上のアドレス変換テーブルを参照しない限り、キャッシュابلか否かを判定することはできない。そこで本実施の形態においては、ノンキャッシュابلであることが明白な場合を除き、スヌープ動作を実行するものとしている。これは、無駄なフローになる可能性もあるが、安全のために実行するものである。

【0 0 6 5】

3) D) (T L B 情報保持部 1 1 7 に一致する物理アドレスが存在する、T L B ヒット) の場合、T L B 情報保持部 1 1 7 に保持されている、一致した物理アドレスの制御情報により、そのアドレスが、

F) キャッシュابلであるか、

G) ノンキャッシュابلであるか、

を判定する。

【0 0 6 6】

4) 判定結果が、B) (常にノンキャッシュابلなアドレス) 又は G) (ノンキャッシュابلなアドレス) の場合、周辺バス 1 0 2 上のアドレスに対応するデータがキャッシュには存在しないことが明らかであり、スヌープ動作を行う必要はない。

【0 0 6 7】

判定結果がこれ以外の場合、このアドレスのデータがキャッシュに存在する可能性があり、アドレス判定部 1 1 6 はスヌープアドレス制御部 1 1 5 にスヌープ動作を行うように通知する。

【0 0 6 8】

5) アドレス判定部による判定結果が、B) 又は G) 以外の場合、スヌープアドレス制御部 1 1 5 はホストバス 1 0 1 のバス使用权を C P U 2 0 1 から取得した後、スヌープのための擬似的なライトランザクションを実行する。

【0 0 6 9】

ここで、スヌープのための擬似的なライトランザクションについて説明する。通常のライトランザクションには、以下のような特徴がある。

【0 0 7 0】

a) マスタからのアクセス要求と、その要求に対するアクセス対象物からの応答とによりハンドシェークが成立する。

【0 0 7 1】

b) マスタからのライトデータ転送を伴う。

【0 0 7 2】

これに対し、擬似的なライトランザクションとは、スヌープアドレス制御部 1 1 5 が C P U 2 0 1 に対してスヌープ処理に必要なアドレスを通知するための処理であり、通常のバストランザクションとは以下のような相違がある。

【0 0 7 3】

A) 記憶制御装置がマスタとなって、ランザクションを発行する。

【0 0 7 4】

B) 応答すべきアクセス対象物が、ライトランザクションを発行した記憶制御装置 1 0 1 自身であり応答が存在しない。このため、記憶制御装置 1 0 1 が発行したアクセス要求とこの要求に対する応答とによるハンドシェークが成立しない。

【0 0 7 5】

但し、バスのプロトコルを守る必要上、応答が必要な場合は、記憶制御装置 1 0 1 自身がダミーの応答を発行することで、見かけ上ハンドシェークが成立する場合もある。

【0076】

C) 有効なデータ転送を伴わない。

【0077】

これは、データ転送を目的とした通常のバストランザクションとは異なり、スヌープ処理に必要なアドレスをCPU201に通知することを目的としているため、データをバス上に出力する必要がないことに基づく。但し、上記のダミー応答を行う場合、DRAMへの書き込みは行われない。

【0078】

6) ここで、擬似的なライトトランザクションにおけるホストバス101上のアドレス、データ、書き込み信号の波形の変化を図4に示し、周辺バス102上のアドレス、データ、書き込み信号の波形の変化を図5に示す。

【0079】

図5に示されたように、周辺バス102上のIP212~214のいずれかから記憶制御装置101にシステムメモリ231へのDMA転送要求があった場合、アドレスN、N+4、N+8、N+12と、それぞれに対応するデータ D_N 、 D_{N+4} 、 D_{N+8} 、 D_{N+12} と、ライト信号とが記憶制御装置101に送られてくる。

【0080】

このとき、アドレス判定部116が、周辺バス102上のアドレスN~N+12はキャッシュابلであると判定した場合、記憶制御装置103aはスヌープのための擬似的なライトトランザクションを発行する。

【0081】

このライトトランザクションでは、図4に示されたようにホストバス101上に、データ転送を伴うことなく、CPU201に通知が必要なアドレスN、N+4、N+8、N+12と、ライト信号のみが転送される。

【0082】

このように、実際に書込処理は伴わないが、スヌープを行うべくデータを転送することなく擬似的なトランザクションを行うことになる。

【0083】

上記実施の形態1の記憶制御装置103aによれば、周辺バス12に接続されたIP212~214からシステムメモリ231へのDMA転送を行う際に、アドレス判定部116にて判定することにより、このDMA転送がTLBで定義されたノンキャッシュ領域への転送である場合、CPUへの通知が不要であり、ホストバス101を使用することなく転送が可能である。この結果、ホストバス101の使用率を低減することができる。

【0084】**(2) 実施の形態2**

図6に、本実施の形態2による記憶制御装置103bの構成を示す。

【0085】

本実施の形態2による記憶制御装置103bは、上記実施の形態1による記憶制御装置103aにおける周辺バスI/F部114の替わりに、スイッチ部118を備えている。

【0086】

また、本実施の形態2におけるホストバスI/F部111は、上記実施の形態1におけるものと同様にバスマスタ機能を有する。

【0087】

アドレス判定部116は、CPU201のキャッシュ領域へのアクセスであるかどうかを判定する。

【0088】

スイッチ部118は、複数のIP211~21n (nは、2以上の整数) からシステムメモリ231へのアクセスを調停していずれかのIPを選択し、選択したIPとシステムメモリ231との間の転送の制御を行う。この場合、IP211~21nのいずれかとスイッチ部118との間でデータ転送する際に、ホストバス101あるいは周辺バス102

を介することなく、直接ピアツーピア接続 (peer to peer) を行う。

【0089】

他の実施の形態 1 における要素と同一のものには、同一の番号を付して説明を省略する。

【0090】

本実施の形態 2 による記憶制御装置を含むシステムにおけるバス構成を図 7 に示す。記憶制御装置 103b におけるスイッチ部 118 と各 IP211~21n とが、ホストバス 101 あるいは周辺バス 102 を介することなく、上述したように直接接続されている。

【0091】

上記実施の形態 1 では、ホストバス 101 又は周辺バス 102 上のアドレスによってスヌープが必要か否かの判定を行う。

【0092】

これに対し本実施の形態 2 では、ホストバス 101 又は周辺バス 102 上のアドレスの代わりに、各 IP211~21n から直接送られてきたアドレスに基づいて、スヌープが必要かどうかの判定を行う。

【0093】

本実施の形態 2 におけるスヌープを行うかどうかの判定動作は上記実施の形態 1 と同様であり、上記実施の形態 1 と同様にホストバス 101 の使用率を低減することが可能である。

【0094】

(3) 実施の形態 3

本発明の実施の形態 3 による記憶制御装置について、その構成を示した図 8 を用いて説明する。

【0095】

本実施の形態 3 における記憶制御装置 103c は、上記実施の形態 1 における記憶制御装置 103a と比較し、スヌープアドレス制御部 115a がレジスタ 115b を有する点が異なっている。

【0096】

この場合の記憶制御装置 103c を含むシステム全体の構成の一例は、図 2 を用いて説明した上記実施の形態 1 におけるものと同様であり、説明を省略する。

【0097】

本実施の形態 3 では、スヌープのために必要な擬似的なトランザクションを行う必要のあるアドレスを、ホストバス 101 にバースト転送をする際に、そのアドレスをレジスタ 115b に溜めておく。そして、バーストサイズまで溜まった後、アドレスをスヌープアドレス制御部 115a がホストバス 101 へバースト転送する。

【0098】

この場合に、周辺バス 102 のバーストサイズとは無関係に、ホストバス 101 の最大バーストサイズに合わせてトランザクションをマージすることが可能である。

【0099】

これにより、CPU201 に接続されているホストバス 101 の最大バーストサイズに合わせた転送が可能となる。また、記憶制御装置 103a がホストバス 101 の使用権を得るまでの間、周辺バス 102 を停止させる必要がない。さらには、スヌープのための擬似的なトランザクションを行うためには、アドレスを一旦記憶しておく必要もある。以上によって、スヌープに必要なアドレスの転送効率を向上させることができる。

【0100】

周辺バスから連続したアドレスがホストバスの最大バーストサイズ分だけ発行された場合、ホストバス上では、ホストバス上の最大バーストサイズを用いて、転送を行うことができる。

【0101】

即ち、周辺バスの数回のトランザクションをホストバス上ではまとめて 1 回のトランザ

クションとして発行することができる。

【0102】

図9に、本実施の形態3における擬似ライトランザクションのホストバス101及び周辺バス102上のタイミングダイアグラムの一例を示す。

【0103】

周辺バス102上において、 $N+0x00$ をスタートアドレスとする4ワードバーストが完了し、それに引き続いて、 $N+0x10$ をスタートアドレスとする4ワードバーストが開始した時点で、ホストバス上では $N+0x00$ をスタートアドレスとする8ワードバーストを行うことが可能と判断できる。

【0104】

その時点で、8ワードバーストをダミーのデータとともに開始する。

【0105】

$N+0x10$ のバースト転送の終了を待たずに、バスマスターになることが出来次第、8ワードバーストのスヌープの為の擬似的なライトランザクションが可能である。これによりホストバスの使用率を低減することができる。

【0106】

周辺バス102からのバースト転送のアドレスはこのように連続している可能性が高いため、アドレスを束ねて転送することで、バス転送効率が向上する。

【0107】

本実施の形態3によれば、上記実施の形態1、2と同様に、周辺バス102に接続されたIP212~21nから記憶制御装置103aを介してシステムメモリ231にDMA転送を行う際に、このDMA転送が、TLBで定義されたノンキャッシュ領域への転送である場合、上記実施の形態1、2と同様にアドレス判定部116によってアドレス判定がなされるため、ホストバス101を使用することなくDMA転送を実現し、ホストバス101の使用率を低減することができる。

【0108】

上述した実施の形態はいずれも一例であり、本発明を限定するものではなく、本発明の技術的範囲内において様々に変形することが可能である。

【図面の簡単な説明】

【0109】

【図1】本発明の実施の形態1による記憶制御装置の構成を示したブロック図。

【図2】同記憶制御装置を有するシステム全体のバス構成を示したブロック図。

【図3】同システムにおけるシステムメモリのメモリマップを示した説明図。

【図4】同システムにおける擬似的なライトランザクションを行うときのホストバス上のアドレス、データ、書き込み信号の波形の変化を示したタイムチャート。

【図5】同システムにおける擬似的なライトランザクションを行うときの周辺バス上のアドレス、データ、書き込み信号の波形の変化を示したタイムチャート。

【図6】本発明の実施の形態2による記憶制御装置の構成を示したブロック図。

【図7】同記憶制御装置を有するシステム全体のバス構成を示したブロック図。

【図8】本発明の実施の形態2による記憶制御装置の構成を示したブロック図。

【図9】本発明の実施の形態3による記憶制御装置を含むシステムにおいて、擬似的なライトランザクションを行うときのホストバス及び周辺バス上のアドレス、データ、書き込み信号の波形の変化を示したタイムチャート。

【図10】従来の記憶制御装置を有するシステム全体のバス構成を示したブロック図。

【図11】仮想アドレスから物理アドレスへ変換する時に用いるアドレス変換テーブルを示した説明図。

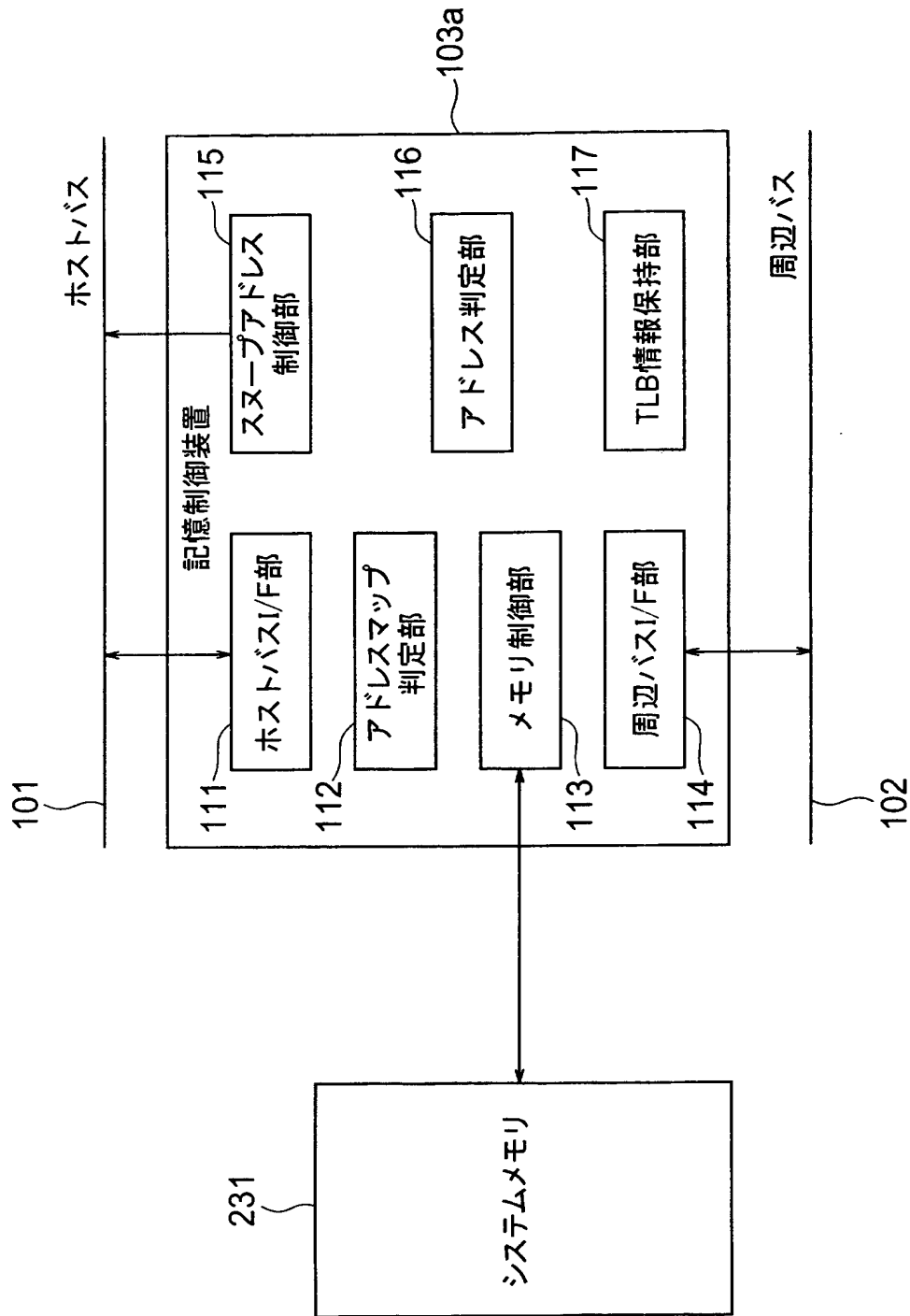
【図12】アドレス変換に用いるTLBの構成を示した説明図。

【符号の説明】

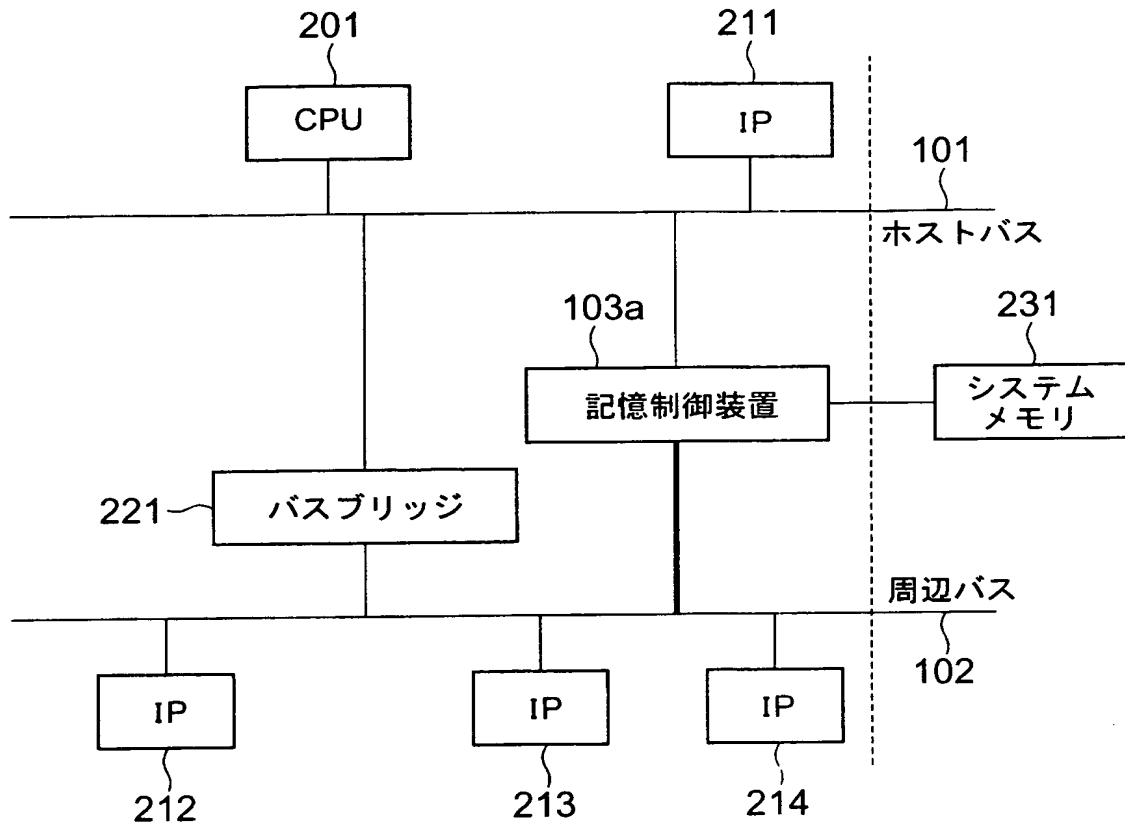
【0110】

1 0 1 ホストバス
1 0 2 周辺バス
1 0 3 a、1 0 3 b、1 0 3 c 記憶制御装置
1 1 1 ホストバス I / F 部
1 1 2 アドレスマップ判定部
1 1 3 メモリ制御部
1 1 4 周辺バス I / F 部
1 1 5、1 1 5 a スヌープアドレス制御部
1 1 5 c レジスタ
1 1 6 アドレス判定部
1 1 7 T L B 情報保持部
1 1 8 スイッチ部
2 0 1 C P U
2 1 1 ~ 2 1 n I P
2 2 1 バスブリッジ
2 3 1 システムメモリ

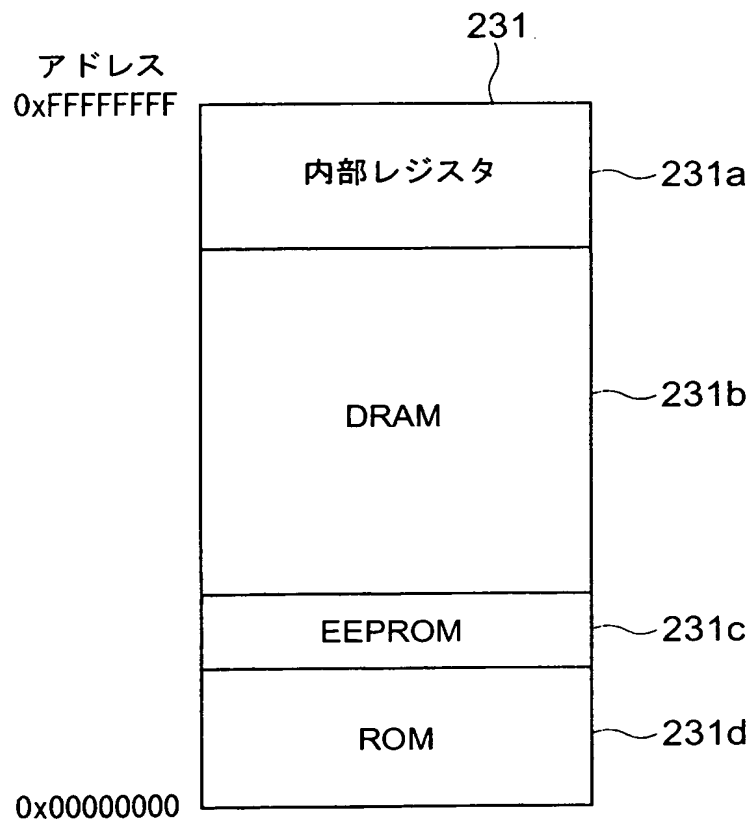
【書類名】 図面
【図 1】



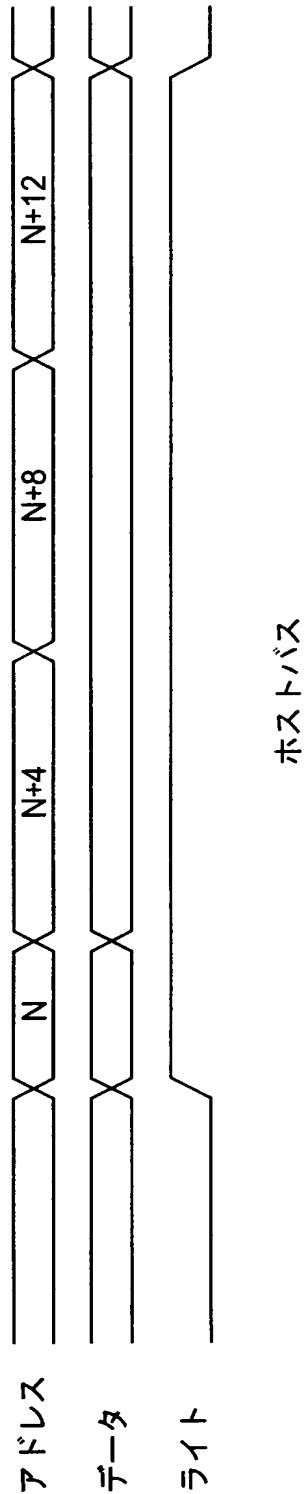
【図 2】



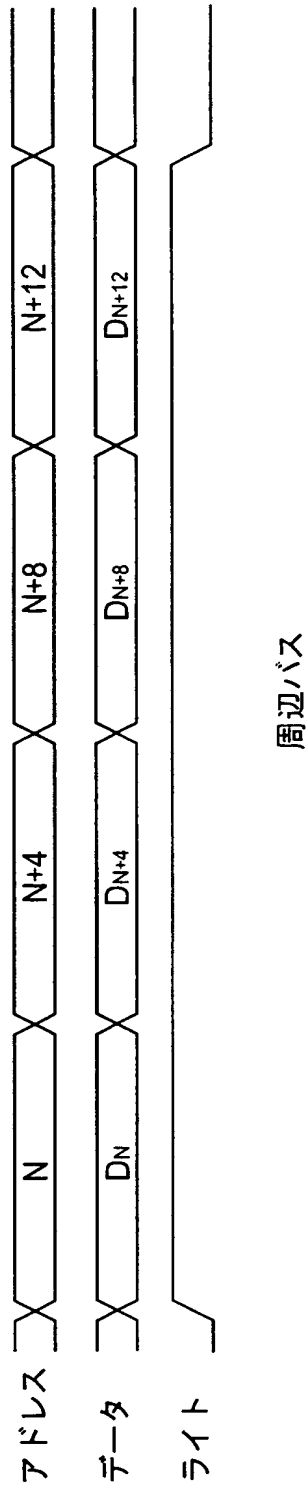
【図 3】



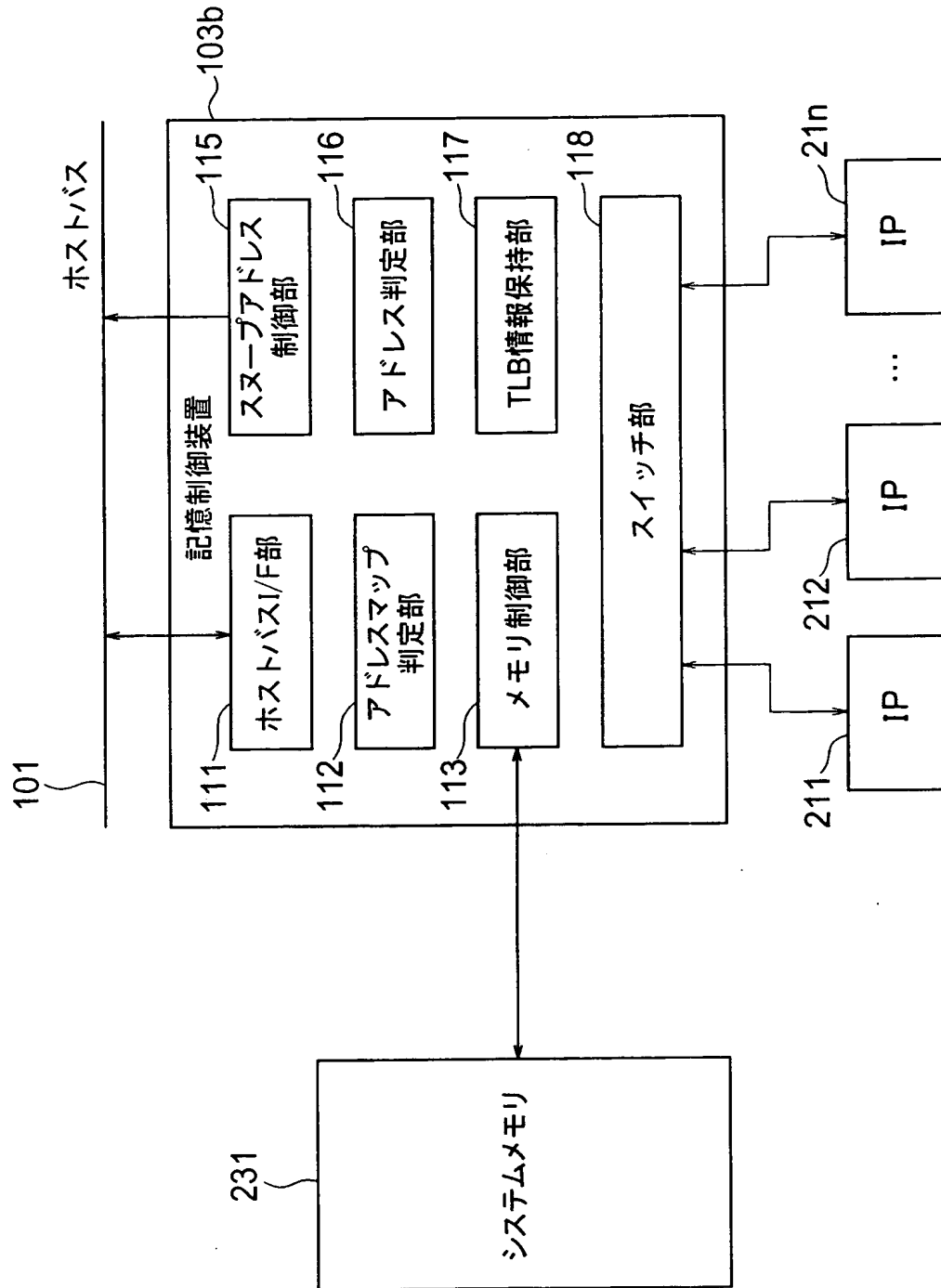
【図 4】



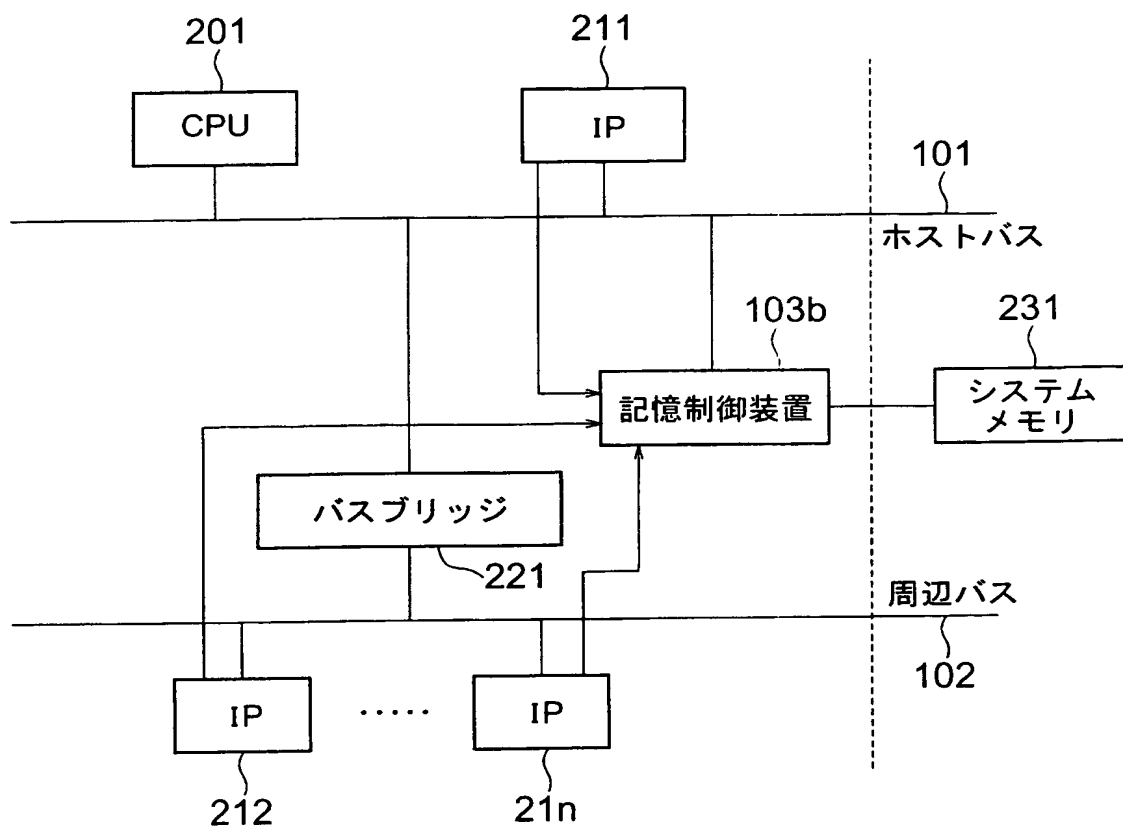
【図 5】



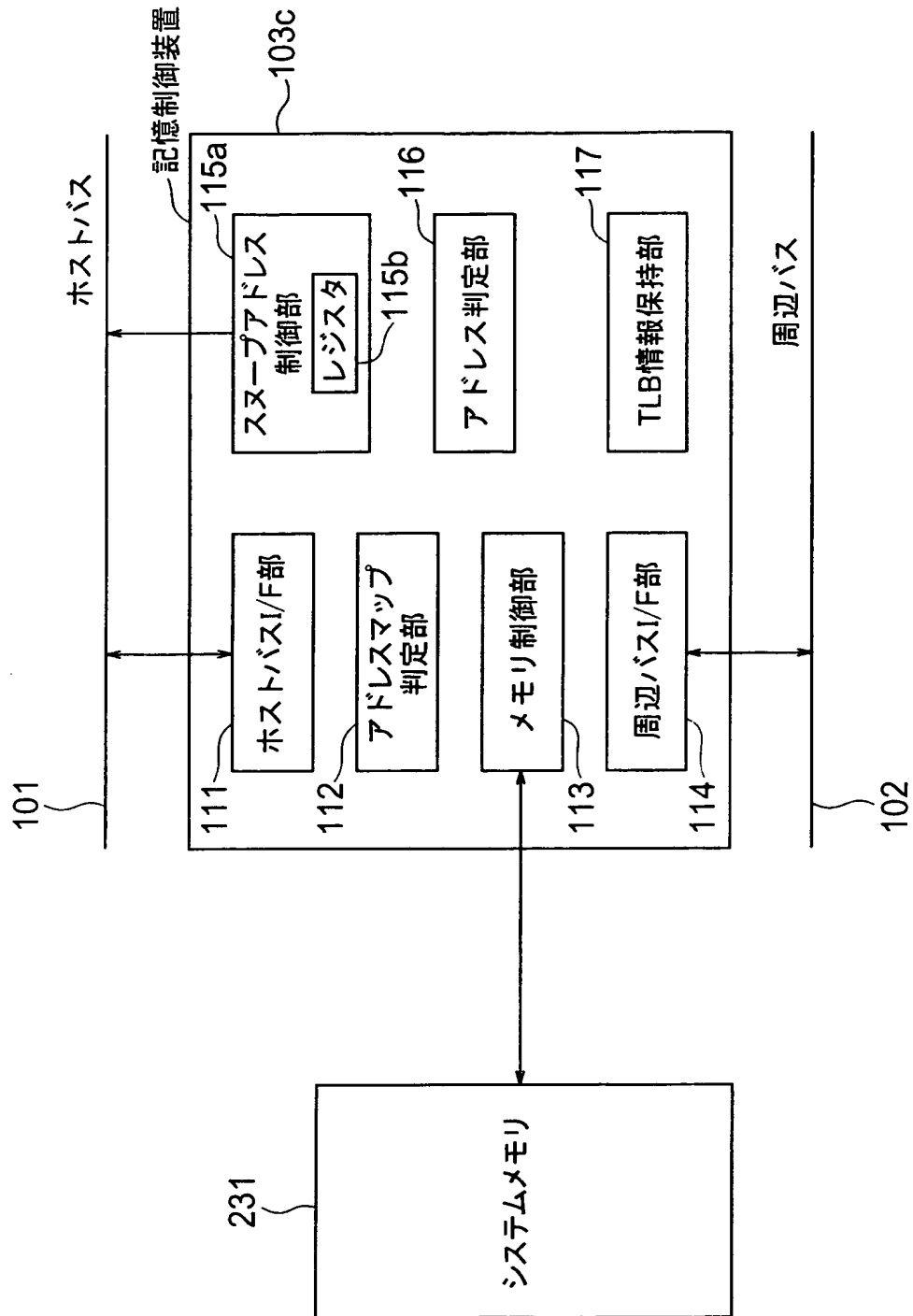
【図 6】



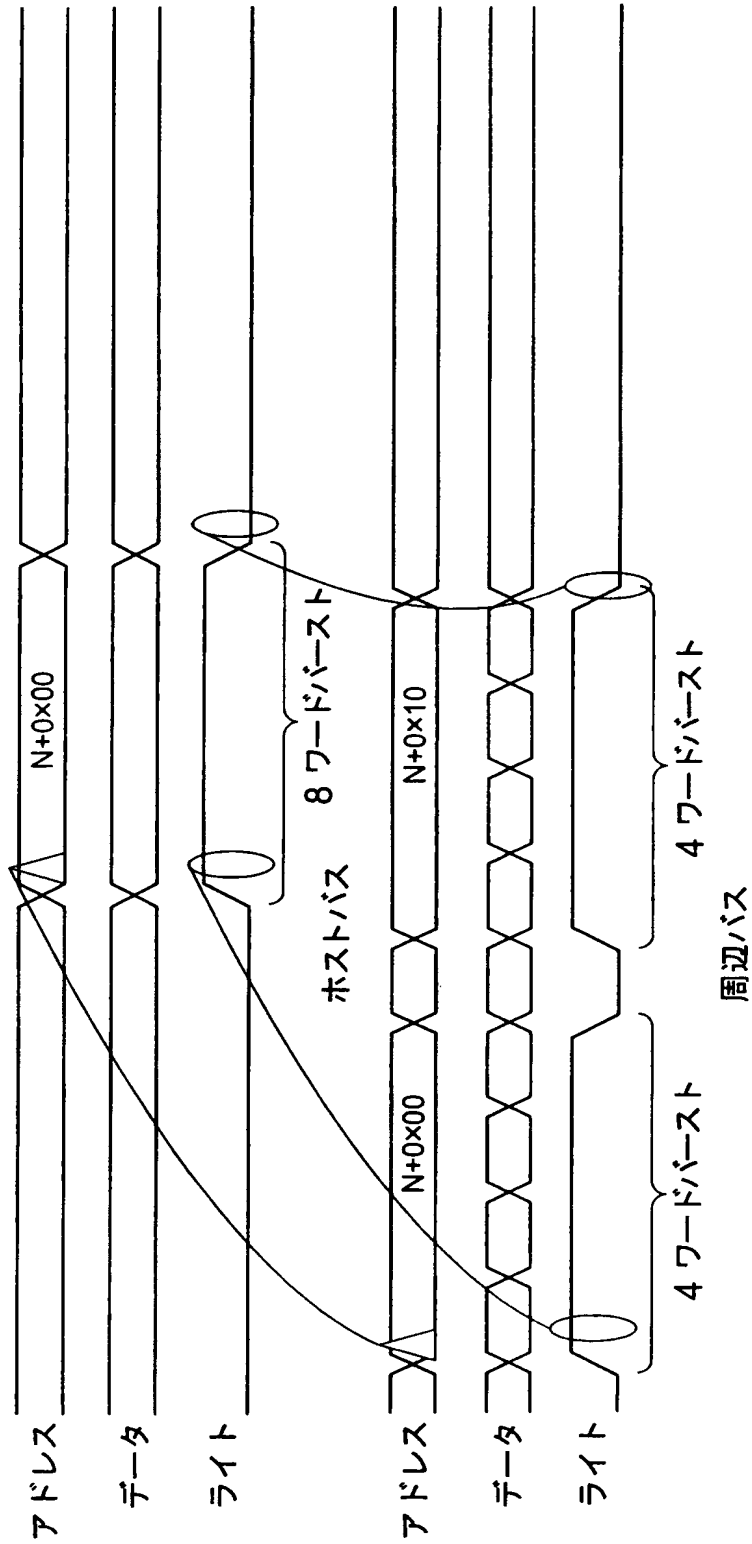
【図 7】



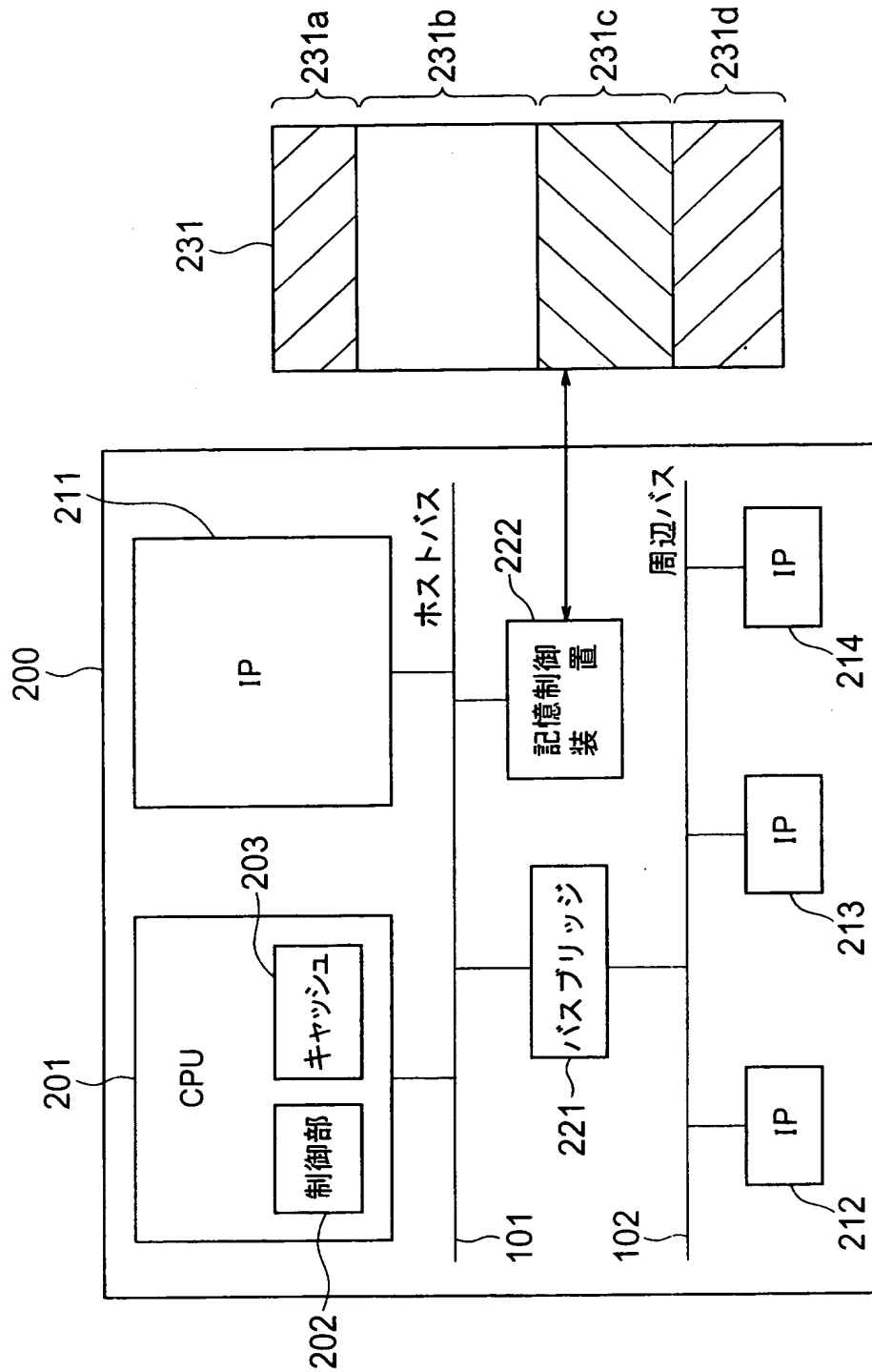
【図 8】



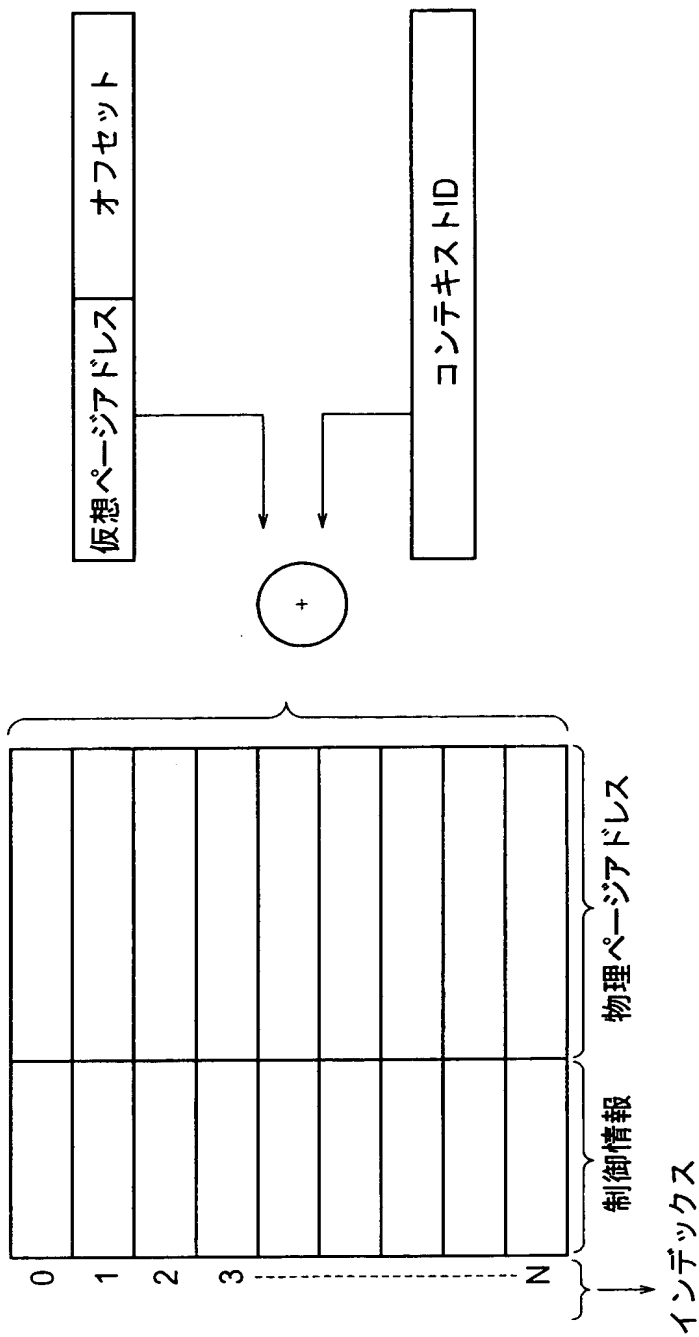
【図 9】



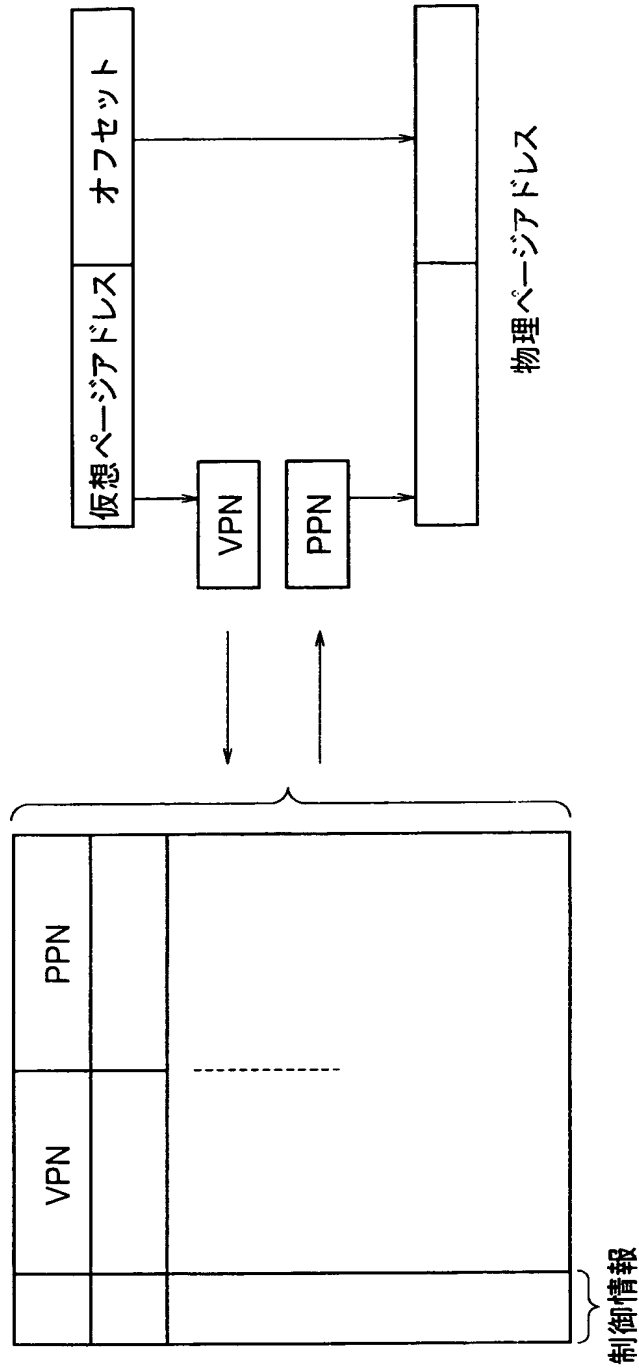
【図 10】



【図 11】



【図 12】



【書類名】 要約書**【要約】**

【課題】 DMA転送においてホストバスの使用率を低減し、処理効率を向上させることが可能な記憶制御装置を提供する。

【解決手段】 IPからシステムメモリ231へのDMA転送を制御する記憶制御装置であって、周辺バス102又はホストバス101から与えられたアドレスが、システムメモリ231において自己が管理しているメモリ領域か否かの判定をアドレスマップ判定部112が行い、TLB情報保持部117が保持しているCPUのキャッシュ可能な領域を示すアドレス情報に基づいて、当該アドレスがキャッシュ可能な領域か否かの判定をアドレス判定部116が行い、アドレスをCPUに通知すべき場合に、ホストバス101を介してこの通知をスヌープアドレス制御部115が行うことで、ホストバス使用率を低減させる。

【選択図】 図1

特願 2 0 0 3 - 3 6 6 4 6 0

出 願 人 履 歴 情 報

識別番号

[3 9 1 0 1 6 3 5 8]

1. 変更年月日
[変更理由]

1 9 9 6 年 1 月 1 2 日

住所変更

住 所
氏 名

神奈川県川崎市川崎区日進町 7 番地 1
東芝情報システム株式会社

特願 2 0 0 3 - 3 6 6 4 6 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝